

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-266963

(43)Date of publication of application : 26.11.1986

(51)Int.Cl.

G01R 19/22

H02M 7/21

(21)Application number : 60-109992

(71)Applicant : HORIBA LTD

(22)Date of filing : 21.05.1985

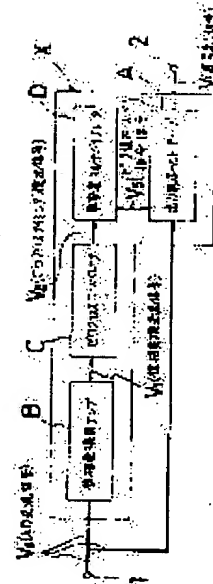
(72)Inventor : YADA TAKAAKI
NAKAMURA TADAO
IMAKI TAKAO

(54) RECTIFYING CIRCUIT

(57)Abstract:

PURPOSE: To rectify a low frequency AC signal precisely at an extremely high speed with relatively simple constitution by providing a hold output means which holds and outputs the peak value of an input AC signal.

CONSTITUTION: An amplifier B for phase conversion receives the input AC signal V0 and generates a phase-converted AC signal V1 which is 90° out of phase with the input signal and a zero-cross comparator C detects the zero-cross timing of the phase-converted AC signal V1 from the positive side to the negative side and generates its detection signal V2. Then, a monostable multivibrator D sends out a peak value hold command signal V5 for holding the value of the current input AC signal V0 in an output holding amplifier A in response to the detection signal V2. Consequently, the output holding amplifier A holds and outputs the positive peak value of the input AC signal V0 successively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭61-266963

⑤ Int. Cl.¹

識別記号

庁内整理番号

④ 公開 昭和61年(1986)11月26日

G 01 R 19/22
H 02 M 7/217241-2G
6650-5H

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 整流回路

⑯ 特 願 昭60-109992

⑰ 出 願 昭60(1985)5月21日

⑱ 発 明 者	矢 田	隆 章	京都市南区吉祥院宮ノ東町2番地	株式会社堀場製作所内
⑱ 発 明 者	中 村	忠 生	京都市南区吉祥院宮ノ東町2番地	株式会社堀場製作所内
⑱ 発 明 者	今 木	隆 雄	京都市南区吉祥院宮ノ東町2番地	株式会社堀場製作所内
⑲ 出 願 人	株式会社	堀場製作所	京都市南区吉祥院宮ノ東町2番地	
⑳ 代 理 人	弁理士	藤本 英夫		

明 細 書

1. 発明の名称

整流回路

2. 特許請求の範囲

(1) 入力された交流信号のピーク値を順次ホールドして出力可能なホールド出力手段を設けてあることを特徴とする整流回路。

(2) 前記ホールド出力手段を、前記入力交流信号を受ける出力用ホールドアンプと、前記入力交流信号を受けてそれよりも90度位相をずらせた位相変換交流信号を生成する位相変換用アンプと、その位相変換用アンプから出力された位相変換交流信号における少なくとも正側から負側へのゼロクロスタイミングを検出するゼロクロスコンパレータと、そのゼロクロスコンパレータが前記位相変換交流信号における正側から負側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号の値を前記出力用ホールドアンプにホールドさせる信号を出力する単安定マルチバイブレータとから構成することにより、前記

入力交流信号の正側のピーク値を順次ホールドして出力するように構成してある特許請求の範囲第

(1) 項に記載の整流回路。

(3) 前記ホールド出力手段を、前記入力交流信号を受ける出力用ホールドアンプと、前記入力交流信号を受けてそれよりも90度位相をずらせた位相変換交流信号を生成する位相変換用アンプと、その位相変換用アンプから出力された位相変換交流信号における少なくとも負側から正側へのゼロクロスタイミングを検出するゼロクロスコンパレータと、そのゼロクロスコンパレータが前記位相変換交流信号における負側から正側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号の値を前記出力用ホールドアンプにホールドさせる信号を出力する単安定マルチバイブレータとから構成することにより、前記入力交流信号の負側のピーク値を順次ホールドして出力するように構成してある特許請求の範囲第

(1) 項に記載の整流回路。

(4) 前記ホールド出力手段を、前記入力交流信

号を受けて絶対値整流する絶対値整流アンプと、その絶対値整流アンプから出力された絶対値交流信号を受ける出力用ホールドアンプと、前記入力交流信号を受けてそれよりも90度位相をずらせた位相変換交流信号を生成する位相変換用アンプと、その位相変換用アンプから出力された位相変換交流信号における正側から負側および負側から正側へのゼロクロスタイミングを検出するゼロクロスコンパレータと、そのゼロクロスコンパレータが前記位相変換交流信号における正側から負側または負側から正側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号の値を前記出力用ホールドアンプにホールドさせる信号を出力する単安定マルチバイブレータとから構成することにより、前記入力交流信号の正側および負側のピーク値の絶対値を順次ホールドして出力するように構成してある特許請求の範囲第(1)項に記載の整流回路。

3. 発明の詳細な説明

(産業上の利用分野)

欠点がある。一方、後者の手段による場合には、高速で精度良い処理を行える反面、非常に高度な処理が必要で、装置が複雑で高価なものになってしまう欠点がある。

本発明は、上記実情に鑑みてなされたものであって、その目的は、比較的簡素で安価に構成できるものでありながら、低周波交流信号を非常に高速で精度良く整流処理可能な整流回路を提供せんとすることにある。

(問題点を解決するための手段)

上記目的を達成するために、本発明による整流回路は、入力された交流信号のピーク値を順次ホールドして出力可能なホールド出力手段を設けている、という特徴を備えている。

(作用)

かかる特徴構成により発現される作用は次の通りである。

即ち、入力された交流信号のピーク値のみをホールドして出力することにより、該交流信号を直流信号に変換する構成であるから、その変換のた

本発明は、特に低周波の交流信号に対して高速で応答処理する場合に好適な整流回路に関するものである。

(従来の技術)

例えば赤外線式ガス分析計などにおける測定信号のように、ある種の変調手段によって得られた低周波交流信号を整流処理する場合において、従来一般に、該低周波交流信号を絶対値整流してからコンデンサ入力平滑回路で平滑することにより直流信号に変換する、という手段が採用されている。そして、特に高速で精度良い処理が要求される場合には、該低周波交流信号をV/F変換またはA/D変換してからデジタル処理する、という手段が採用されている。

(発明が解決しようとする問題点)

しかしながら、前者の手段による場合には、非常に簡便で安価な構成で済むという利点がある反面、応答が極めて遅く、また、それ故に供試ガス流量を多く必要としたり、あるいは、低濃度ガス測定時におけるS/N比が悪い、といった種々の

めの時定数は、最小の場合で、入力された交流信号の周波数の逆数(例えば入力交流信号が1Hzの場合には1sec)にまで高めることができ、以て、従来のコンデンサ入力平滑回路による場合に比べて、低周波交流信号を非常に高速に且つ精度良く整流処理することができ、しかも、そのための回路構成は、後述する実施例からも明らかのように、出力用ホールドアンプ、位相変換用アンプ、ゼロクロスコンパレータ、単安定マルチバイブレータ等の組み合わせから成る比較的簡素で安価なもので実現することができる。

(実施例)

以下、本発明の具体的実施例を図面に基いて説明する。

第1図のブロック回路構成図に示すように、入力端子1と出力端子2との間に、前記入力端子1から入力された交流信号V。のピーク値を順次ホールドして出力可能なホールド出力手段Xとして、前記入力交流信号V。を受ける出力用ホールドアンプAと、その出力用ホールドアンプAに対して

並列に分岐された前記入力交流信号 V 。を受けてそれよりも90度位相をずらせた位相変換交流信号 V 。を生成する位相変換用アンプ B と、その位相変換用アンプ B から出力された位相変換交流信号 V 。における少なくとも正側から負側へのゼロクロスタイミングを検出してその検出信号 V 。を発生するゼロクロスコンパレータ C と、そのゼロクロスコンパレータ C が前記位相変換交流信号 V 。における正側から負側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号 V 。の値を前記出力用ホールドアンプ A にホールドさせるべくピーク値ホールド指令信号 V 。を発生する単安定マルチバイブレータ D とを設けることにより、前記出力用ホールドアンプ A において、前記入力交流信号 V 。の正側のピーク値を順次ホールドして出力するように、特に低周波交流信号の整流に好適な整流回路を構成してある。

第2図はその具体的回路の一例を示し、また、第3図はその回路における各信号のタイミングチャートを示している。

グ検出信号 V 。がLowからHighへ切り替わったときにのみ、極く短時間 r 。だけLow状態となる信号 V 。を発生する第2単安定マルチバイブレータ 4 と、それら両信号 V 。、 V 。が入力されたどちらかひとつの入力信号がLowになると出力がHighになる出力用オアゲート 5 とから構成され、従って、そのオアゲート 5 は、第3図に示すような形のピーク値ホールド指令信号 V 。を、前記出力用ホールドアンプ A へ発信する。なお、前記第1単安定マルチバイブレータ 3 は、入力交流信号 V 。が入力されなくなった後は、速やかに前記オアゲート 5 からホールド解除信号を出力して出力 V を0にするために設けられているものである。

そして、前記出力用ホールドアンプ A は、前記単安定マルチバイブレータ D からのピーク値ホールド指令信号 V 。がHigh状態になったときに前記入力交流信号 V 。を取り込み、その後、前記ピーク値ホールド指令信号 V 。がLow状態を維持している間はその値を保持して出力し続ける。

これら第2図および第3図から明らかなように、この例では、前記ゼロクロスコンパレータ C は、前記位相変換用アンプ B からの位相変換交流信号 V 。における正側から負側へのゼロクロスタイミングを検出したときにLowからHighへ切り替わり、前記位相変換交流信号 V 。における負側から正側へのゼロクロスタイミングを検出したときにHighからLowへ切り替わるゼロクロスタイミング検出信号 V 。を出力するように構成されている。

また、前記単安定マルチバイブレータ D は、前記ゼロクロスコンパレータ C からのゼロクロスタイミング検出信号 V 。が最初にLowからHighへ切り替わったときにLowからHighへ切り替わり、前記ゼロクロスタイミング検出信号 V 。が最後にからLow⁽¹⁾Highへ切り替わってから一定時間 r 。(入力交流信号 V 。の周期 r よりも若干長い時間)が経過したときにHighからLowへ切り替わる信号 V 。を発生する第1単安定マルチバイブレータ 3 と、前記ゼロクロスタイミン

その結果、その出力用ホールドアンプ A からは、第3図に示すように、入力交流信号 V 。の正側のピーク値 P_1, P_2, \dots が順次ホールドされて出力されることになる。

なお、上記実施例においては、入力交流信号 V 。の正側のピーク値 P_1, P_2, \dots を順次ホールドして出力するように構成したものを示したが、例えば、前記単安定マルチバイブレータ D における第2単安定マルチバイブレータ 4 の入力線の極性を入れ換えることによって、入力交流信号 V 。の負側のピーク値 P_1', P_2', \dots を順次ホールドして出力するように構成してもよい。

第4図ないし第6図は別の実施例を示している。

即ち、第4図のブロック回路構成図に示すように、入力端子1と出力用ホールドアンプ A の間に入力交流信号 V 。を受けて絶対値交流信号 V 。に変換する絶対値整流アンプを介装すると共に、単安定マルチバイブレータ D を、ゼロクロスコンパレータ C が位相変換交流信号 V 。における正側から負側へのゼロクロスタイミング検出したとき、

および、負側から正側へのゼロクロスタイミングを検出したときの何れの場合にも、その時点における前記絶対値交流信号 V_a を前記出力用ホールドアンプAにホールドさせるべくピーク値ホールド指令信号 V_h を発するように構成し、以て、前記出力用ホールドアンプAにおいて、前記入力交流信号 V_a の正側および負側のピーク値の絶対値を順次ホールドして出力するように構成したものである。その他の構成は前記第1図のものと同様である。

この場合、第5図の具体的回路および第6図のタイミングチャートから明らかなように、前記単安定マルチバイブレータDには、第2単安定マルチバイブレータ4とは逆に、ゼロクロスコンパレータCからのゼロクロスタイミング検出信号 V_z がHighからLowへ切り替わったときのみ、極く短時間 t だけLow状態となる信号を発する第3単安定マルチバイブレータ6が、前記第2単安定マルチバイブレータ4に対して並列に付加されており、従って、それら第2単安定マルチバ

イブレータ4および第3単安定マルチバイブレータ6からオアゲート5への出力 V_o 、 V_o は第6図に示すような形となり、そして、オアゲート5は、第6図に示すような形のピーク値ホールド指令信号 V_h を、前記出力用ホールドアンプAへ発信する。

すると、前記出力用ホールドアンプAは、前記単安定マルチバイブレータDからのピーク値ホールド指令信号 V_h がHigh状態になったときに前記絶対値交流信号 V_a を取り込み、その後、前記ピーク値ホールド指令信号 V_h がLow状態を維持している間はその値を保持して出力し続ける。その結果、その出力用ホールドアンプAからは、第6図に示すように、入力交流信号 V_a の正側および負側のピーク値 P_1, P_1', P_2, P_2' …の絶対値が順次ホールドされて出力されることになる。その他の構成は前記第2図および第3図における場合と同様である。

なお、この実施例に係る整流回路によれば、前記第1実施例のものに比べて、応答速度を2倍に

することができる。

(発明の効果)

以上詳述したところから明らかなように、本発明に係る整流回路は、入力された交流信号のピーク値のみをホールドして出力することにより、該交流信号を直流信号に変換するように構成してあるから、その変換のための時定数は、最小の場合で、入力された交流信号の周波数の逆数(例えば入力交流信号が1Hzの場合には1sec)にまで高めることができ、以て、比較的簡素で安価に構成できるものでありながら、たとえ低周波の入力交流信号であっても、非常に高速に且つ精度良く整流処理することができる、という優れた効果を発揮し得るものである。

4. 図面の簡単な説明

図面は本発明に係る整流回路の具体的実施例を示し、第1図はブロック回路構成図、第2図は具体的回路構成図、第3図はそのタイミングチャート、第4図は別実施例のブロック回路構成図、第5図はその具体的回路構成図、そして、第6図は

そのタイミングチャートである。

A ……出力用ホールドアンプ、B ……位相変換用アンプ、C ……ゼロクロスコンパレータ、D ……単安定マルチバイブレータ、E ……絶対値整流アンプ、 V_a ……入力交流信号、 V_o ……位相変換交流信号、 $P_1, P_2 (P_1', P_2')$ ……ピーク値、X ……ホールド出力手段。

因一報

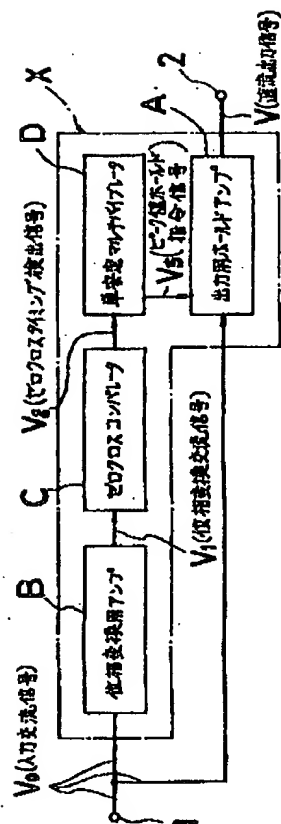
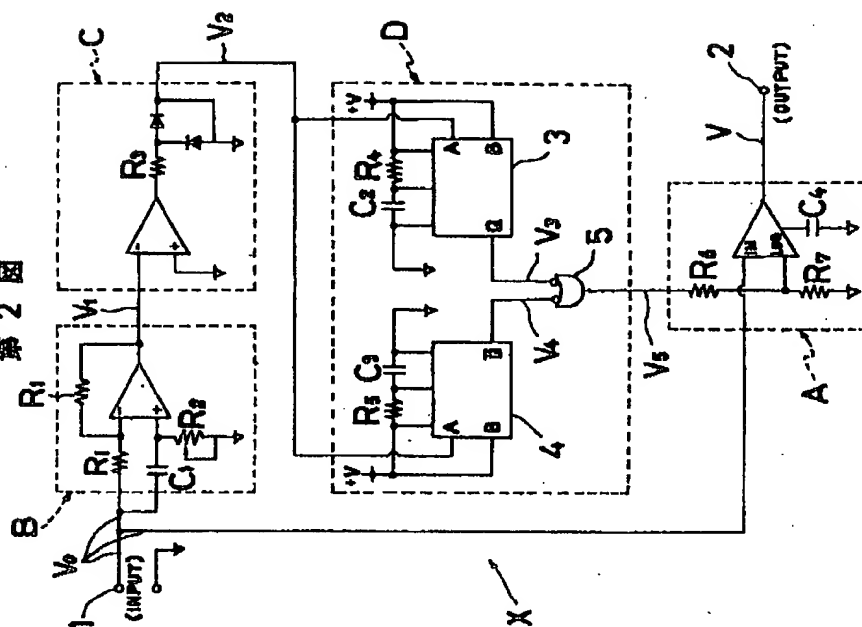
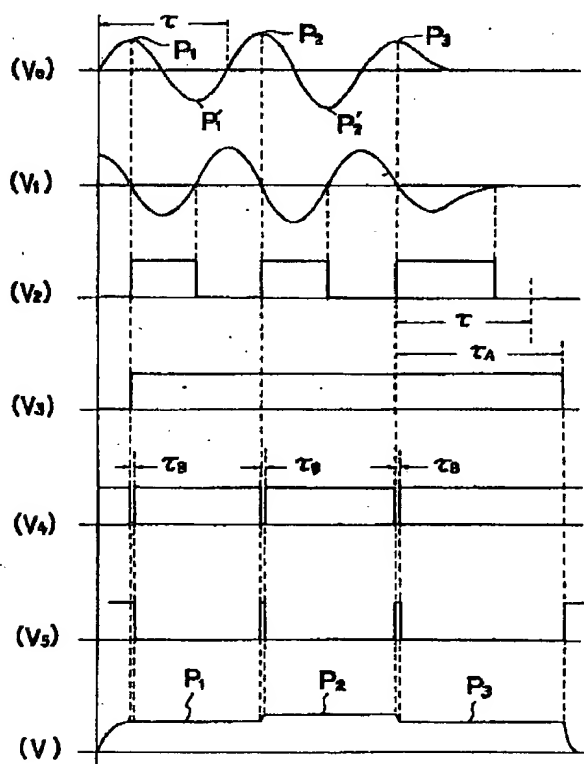


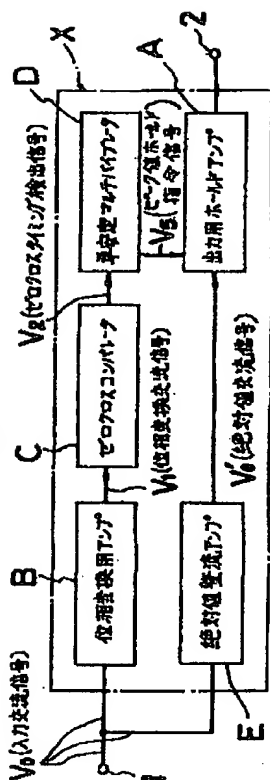
圖 2 集



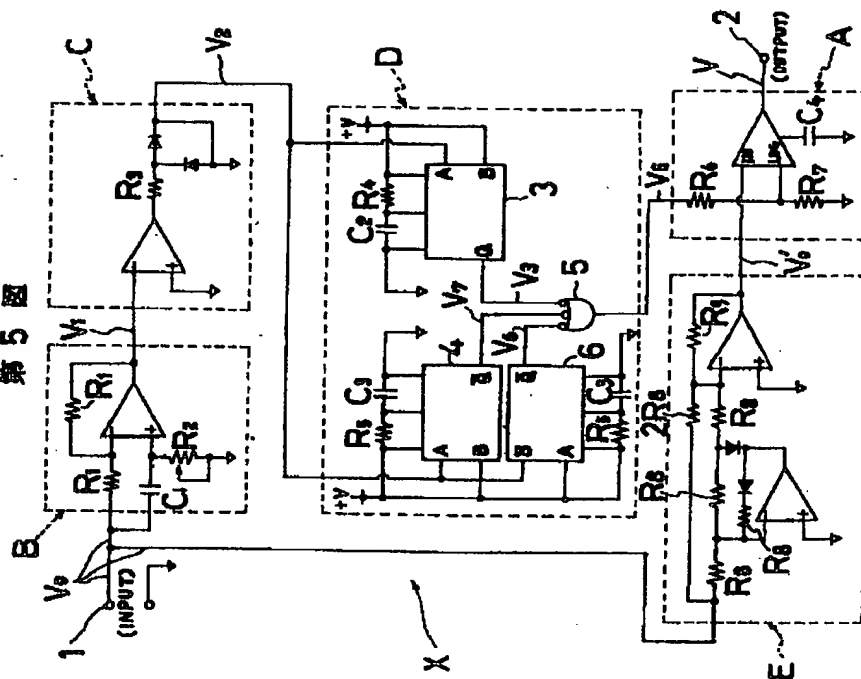
第 3 圖



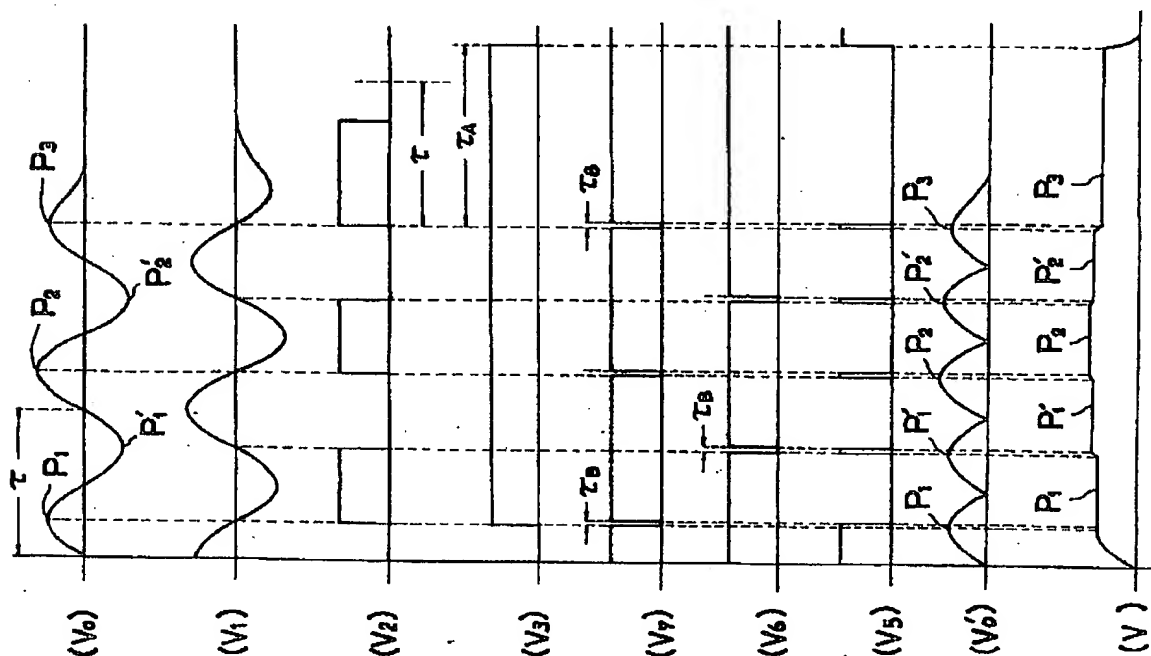
第4図



第5図



第6図



特許法第17条の2の規定による補正の掲載

昭和60年特許願第 109992 号(特開昭
61-266963 号, 昭和61年11月26日
発行 公開特許公報 61-2670 号掲載)につ
いては特許法第17条の2の規定による補正があっ
たので下記のとおり掲載する。 6(1)

Int. Cl.	識別記号	庁内整理番号
G01R 19/22 H02M 7/21		7241-2G 6650-5H

自発手続補正書

昭和62年3月16日

特許庁長官 殿

1. 事件の表示

昭和60年特許願第109992号

2. 発明の名称 整流回路

3. 補正をする者

事件との関係 特許出願人

フリガナ 京都府京都市南区西九条二丁目2番40号
住 所 大和ビル5階
株式会社 堀場製作所
氏 名 (名称) 代表者 大 西 俊 弘

4. 代 理 人

住 所 〒534 大阪市都島区片町2丁目2番40号
大和ビル5階

氏 名 (7427) 弁護士 藤 本 英 夫
電 話 (06) 352-5189

5. 補正命令の日付

6. 補正により増加する発明の数

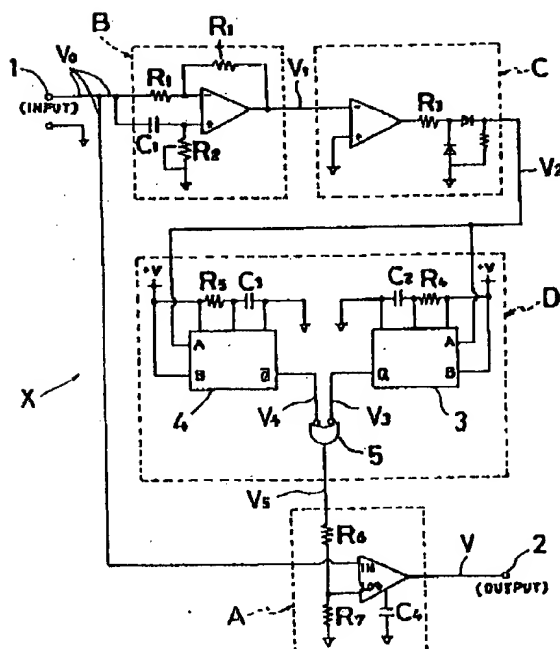
7. 補正の対象

図 面

8. 補正の内容 本願の図面中、第2図、第5図
を別紙の通り訂正する。

方式
特許

第2図



第5図

